

JAPAN PATENT OFFICE

PATENT LAID-OPEN OFFICIAL GAZETTE

Laid-Open No.

H.8-111473

Laid-Open

H.8 (1996) Apr. 30

Application No.: H.6-243646

Filed: H.6 (1994) Oct. 7

Inventors: Akira Nagai
Shuji Eguchi
Masahiko Ogino

7-1-1 Ohmika-cho, Hitachi-shi, Ibaraki
Hitachi Research Laboratory,
Hitachi, Ltd.

Applicant: 000005108
Hitachi, Ltd.
4-6 Kanda-Surugadai, Chiyoda-ku, Tokyo

Attorney, Agent: Katsuo Ogawa
(continued on the last page)

1. TITLE OF THE INVENTION

A Ball-Grid Array Type Package and a Mounted Structure Using Said Package

[Summary]

[Objective]

To achieve higher speed and larger number of pins for a semiconductor package structure having a ball-grid array structure by providing a method for easily introducing an elastomer having a low elastic modulus in order to reduce thermal stress.

[Configuration]

In a semiconductor package structure, in which pins for creating electrical connection with a mount board are arranged in a ball-grid array, interlayer connecting elastomer 12 is inserted between semiconductor element 11 and the ball-grid array pins to relax the thermal stress produced by the difference in the thermal expansion coefficient between semiconductor element 11 and the mount board.

2. WHAT IS CLAIMED

1. A ball-grid array type package, in which connection pins corresponding to a mount board are ball-grid arrays, the improvement of said package being characterized such that an interlayer connecting elastomer is inserted between a semiconductor element and ball-grid array pins in order to relax thermal stress produced by the difference in the thermal expansion coefficient between said semiconductor element and said mount board.

2. A ball-grid array type package, as defined in claim (1), in which said interlayer connecting elastomer has an elastic modulus of 1 kgf/mm² or less at a room temperature.

3. A ball-grid array type package, as defined in claim (1), which is characterized such that said interlayer connecting elastomer is a siloxane polymer.

4. A ball-grid array type package, as defined in claim (1), in which an interlayer connecting elastomer is an organic polymer.

5. A mounted structure, which is characterized as being mounted with a ball-grid array type package structure, in which connection pins corresponding to a mount board are ball-grid arrays, the improvement of said package being characterized such that an interlayer connecting elastomer is inserted between a semiconductor element and ball-grid array pins in order to relax thermal stress produced by the difference in the thermal expansion coefficient between said semiconductor element and said mount board.

6. A mounted structure, as defined in claim (5), in which an insulating layer of said mount board is composed of an organic resin matrix and glass fabrics.

7. A mounted structure, as defined in claim (5), in which an insulating layer of said mount board is composed of ceramic materials.

8. A ball-grid array type package, as defined in claim (1), in which said semiconductor element is a DRAM.

9. A ball-grid array type package, as defined in claim (1), in which said semiconductor element is an ASIC.

10. A ball-grid array type package, as defined in claim (1), in which said semiconductor element is an MPU.

11. A ball-grid array type package, as defined in claim (1), in which said semiconductor element is a gate array.

12. A ball-grid array type package, as defined in claim (1), in which said semiconductor element is an SRAM.

3. DETAILED DESCRIPTION OF THE INVENTION

[0001]

[Application Field of the Invention]

This invention pertains to a semiconductor device and a mounted structure thereof, which have excellent electrical characteristics and mounting reliability, and which can accommodate higher mounting density, larger number of pins, and higher speed.

[0002]

[Prior Art]

Due to the recent trend toward higher performance of electric and electronic devices, there is a strong demand for higher integration level and higher mounting density in semiconductor devices. In response to this demand, semiconductor elements have been improved to have a higher integration level and a larger number of functions, as indicated by the development of LSI, followed by VLSI, and the eventual development of ULSI, which has been accompanied by larger size, larger number of pins, higher speed, and larger power dissipation of the elements. This has led to changes in the package structure of the semiconductor devices in order to accommodate an extraordinarily large number of pins, that is, from a

structure having connection pins on two sides of an element to a structure having connection pins on four sides. In order to achieve larger number of pins, grid-array structures, in which the grid for connection pins is provided on the entire mount surface using a multilayer carrier board, have also been used. One such grid-array structure is the ball-grid array structure (BGA), in which short connection pins are used to enable high-speed signal transmission. Using the ball-shaped connection pins is also effective for reducing inductance because the conductors can be wider. Furthermore, an organic material having a relatively low dielectric constant has been examined recently for use as a multilayer carrier board to accommodate higher speeds. However, since organic materials generally have a larger thermal expansion coefficient than semiconductor elements, the difference in the thermal expansion coefficient produces thermal stress, which deteriorate connection reliability. Therefore, in order to solve this problem on the above BGA package structure, a new semiconductor element package structure has been proposed recently (USP5148265), in which an elastomer having a low elastic modulus is used to relax the thermal stress produced by the difference in the thermal expansion coefficient between the semiconductor element and the mount board, thus improving the connection reliability. However, in this structure, an elastomer is placed on a semiconductor element, a polyimide layer having a wiring layer is further placed on the elastomer, and ball grids are provided in an array as connection pins on the polyimide layer. Therefore, the structure requires relatively complicated fabrication processes. In addition, the structure cannot ensure long-term connection reliability due to the large number of interfaces between the different materials that are used.

[0003]

[Problems to be Solved by the Invention]

The objective of this invention is to provide a method for easily introducing an elastomer having a low elastic modulus so as to reduce thermal stress that is produced in a semiconductor package structure having a ball-grid array structure. The semiconductor device and the mounted structure obtained by this invention have excellent connection reliability.

[0004]

[Means for Solving the Problem]

This invention comprises the following means to attain the above objective. Specifically, the first means, relating to the ball-grid array type package structure, is characterized as follows. In a semiconductor package structure, in which ball-grid pins for creating electrical connection with a mount board are arranged in an array, an interlayer connecting elastomer is inserted between a semiconductor element and the ball-grid array pins to relax the thermal stress produced by the difference in the thermal expansion coefficient between the semiconductor element and the mount board. In this case, the interlayer connecting elastomer having an elastic modulus of 1 kgf/mm² or less at room temperature is effective. As the elastic modulus of the elastomer becomes lower, less thermal stress is produced. As a result, the package structure can provide high connection reliability. Using a siloxane polymer for the elastomer can make the elastomer highly heat resistant and provide low elasticity. Particularly, if a siloxane polymer uses a material having a glass-transition temperature of -55°C or less, the structure can retain excellent reliability during a temperature cycling test. Various organic polymers can also be used instead of siloxane polymer. Polyimide polymer, fluorine-containing polymer, and fluoro-silicone polymer are particularly heat-resistant organic polymers. However, possible polymers are not restricted to these polymers.

[0005]

The second means of this invention, relating to the structure mounted with a semiconductor package device, for which the connection pins corresponding to the mount board are ball-grid arrays, is characterized as follows. On the mounted structure, a ball-grid array type package device is mounted that has high connection reliability because an interlayer connecting elastomer is inserted between a semiconductor element and the ball-grid array pins to relax the thermal stress produced by the difference in the thermal expansion coefficient between the semiconductor element and the mount board. Since the ball-grid array type semiconductor package device obtained by this invention comprises the elastomer having a low elastic modulus between the semiconductor element and the mounted board, it can provide a mounted structure having high connection reliability when mounted. Here, the materials for the mount board are not particularly restricted; however, the materials described below are generally used. Specifically, a mount board in which the insulating layer is composed of an organic resin matrix and glass fabrics or a mount board in which insulating layer is composed of ceramics is used. The semiconductor elements used in the semiconductor package structure of this invention are applicable to various functions such as DRAMs, ASICs, gate arrays, MPUs, SRAMs, and composite functions thereof. These semiconductor elements are required to have a larger number of pins and higher speed to accommodate to the recent trend toward higher mounting density and higher performance.

[0006]

In the conventional structure, an elastomer is placed on a semiconductor element, a polyimide layer having a wiring layer is further placed on the elastomer, and ball grids are provided in an array on the polyimide layer as pins to be connected to the mount board. Here, a wire

bonding method is used for connecting the semiconductor element to the wiring layer on the polyimide layer. Therefore, the structure requires relatively complicated fabrication processes and many different materials. Therefore, adhesion conditions at the interfaces between these different materials are likely to deteriorate long-term connection reliability.

[0007]

This invention can solve the above-described problem of the conventional structure by using an interlayer electrically-connecting elastomer, both surfaces of which are connected electrically using a prescribed pitch of grids. A typical sample structure can be achieved by the following procedure: an interlayer connecting elastomer is placed on a semiconductor element having bump-array pins on its surface; and ball-shaped pins are formed as the outmost layer on the elastomer, thus creating the ball-grid array type (BGA) semiconductor package device. As described above, this invention can provide an elastomer having a low elastic modulus between the semiconductor element and a mount board extremely easily. Moreover, since the structure is quite simple, using only the elastomer, there is no need to consider deterioration of the connection reliability at the interfaces between the different materials. This makes the structure effective as a mounting means in wide areas of semiconductors such as DRAMs. The simplicity of the structure can reduce cost, which is a significant advantage in fabrication.

[0008]

This invention, which only uses ball-grid arrays for connection, can accommodate higher speed and a larger number of pins more easily than the conventional structure, which combines ball-grid arrays and wire bonding. This is possible because the grid-array structure enables drawing pins from the entire surface of an semiconductor element, thus making it easier to provide

a larger number of pins than the conventional structure, in which pins are drawn from four sides of the element. Moreover, since using the ball-bump structure for connection enables the leads to be made shorter and wider than the leads for the wire bonding, inductance can be reduced, which is advantageous in achieving higher speeds.

[0009]

The semiconductor elements used in this invention are defined as elements such that ICs and LSIs of memories, logics, gate arrays, custom-made circuits, and power transistors are formed on a wafer composed of semiconductors such as Si and GaAs, and which have pins to be connected to leads and bumps.

[0010]

The typical mount boards used in this invention are: laminated boards composed of organic materials and reinforcing materials such as glass fabrics; and boards composed of ceramic materials. The laminated board is a structure which is obtained by laminating more than one layer of prepreg or sheet, then pressing and connecting the layer to be formed, where the prepreg or sheet is obtained by impregnating resin into the reinforcing materials. The possible reinforcing materials are: cloths or sheets composed of inorganic fibers of glass (E glass, S glass, D glass, and Q glass) titanium; cloths or sheets composed of polyamide, poly amide-imide, polyimide, liquid-crystal polymer, and aromatic amide; cloths composed of carbonic fibers; and composite cloths or sheets composed of the above organic fibers, inorganic fibers, and carbonic fibers.

[0011]

The typical matrix resins that make up the organic materials for mount boards are various thermosetting resins such as epoxy resin, unsaturated polyester resin, epoxy-isocyanate resin, maleimide resin, maleimide-epoxy

resin, cyanic ester resin, cyanic-ester-epoxy resin, cyanic-ester-maleimide resin, phenol resin, diallylphthalate resin, urethane resin, cyanamide resin, maleimide-cyanamide resin, and polyimide resin.

[0012]

The typical ceramic materials used in this invention are: alumina boards, mullite boards, silica boards, cordierite boards, low-melting-point glass boards, aluminum nitride boards, aluminum boards, and silicon boards. Composite boards composed of the above organic and ceramic materials are also possible: for example, composite boards of porous ceramics and resin-impregnated organic materials as well as composite boards of ceramic-sprayed copper leaf and organic resin glass cloth.

[0013]

[Operation]

This invention relates to the ball-grid array type package structure, and is characterized as follows. In a semiconductor package structure, in which ball-grid pins for creating electrical connection with a mount board are arranged in an array, an interlayer connecting elastomer is inserted between a semiconductor element and the ball-grid array pins to relax the thermal stress produced by the difference in the thermal expansion coefficient between the semiconductor element and the mount board. This provides a semiconductor device that can accommodate higher speed and a larger number of pins and which has high connection reliability. Using such an interlayer connecting elastomer makes it exceptionally easy to provide the semiconductor element having an extraordinarily large number of ball-grid array type connection pins. Moreover, since no other materials are used, deterioration of connection reliability will not be generated at the interfaces between different materials. Besides, due to simple fabrication processes and the

limited number of kinds of materials used, significant cost reduction can be expected compared to the conventional invention.

[0014]

Insertion of an elastomer having a low elastic modulus between a semiconductor element and a mount board, can relax the thermal stress produced by the difference in the thermal expansion coefficient between the semiconductor element and the mount board. Therefore, a semiconductor package having high connection reliability can be provided regardless of the material for the mount board.

[0015]

Moreover, since the semiconductor device obtained by this invention has a ball-grid array structure, in which pins to be connected to the mount board are placed on and within the device surface, a larger number of pins can be provided without increasing the package area. Also, since ball-grid pins are wide and short, inductance can be reduced, which is considerably effective for increasing the speed. The package structure obtained using this patent can also minimize the length of signal transmission route, as shown in the figure, thus making this package structure suitable for achieving high speed.

[0016]

[Embodiments]

This invention and figures are described below in detail based on embodiments.

[0017]

[Embodiment 1]

As shown in figure 1, semiconductor element 11 in 14.5 mm x 14.5 mm area is provided with 225 pins arranged in a grid at a 1-mm pitch on one surface of the element. On

the element, pressure-welding type elastomer 12 (Shin'Etsu Polymer; 0.3 mm thick) for creating connection to a mount board is bonded using adhesive to electrically connect the pins on the semiconductor element to the leads within the elastomer. The lead electrodes exposed at the top surface of the elastomer are then plated with solder so as to form solder balls 13 as connection pins corresponding to the mount board. A solder ball has a diameter of 0.5 mm.

[0018]

[Embodiment 2]

As shown in figure 2, semiconductor element 21 in 13 mm x 13 mm area is provided with 221 pins arranged in a staggered grid at a 1.27-mm pitch on one surface of the element. On the element, pressure-welding type elastomer 22 (Shin'Etsu Polymer; 0.5 mm thick) for creating connection to a mount board is bonded using adhesive to electrically connect the pins on the semiconductor element to the leads within the elastomer. Here, one surface of the elastomer is plated with solder in advance so as to form solder balls 23 and the reverse surface is bonded to the semiconductor element. A solder ball has a diameter of 0.3 mm.

[0019]

[Embodiment 3]

As shown in figure 1, semiconductor element 11 in 13.5 mm x 13.5 mm area is provided with 729 pins arranged in a grid at a 0.5-mm pitch on one surface of the element. On the element, pressure-welding type elastomer 12 (Shin'Etsu Polymer; 0.7 mm thick) for creating connection to a mount board is bonded using adhesive to electrically connect the pins on the semiconductor element to the leads within the elastomer. The lead electrodes exposed at the top surface of the elastomer are then applied with solder paste so as to form solder balls 13 as connection pins corresponding

to the mount board. A solder ball has a diameter of 0.3 mm.

[0020]

[Embodiment 4]

As shown in figure 3, semiconductor element 31 in 15.5 mm x 15.5 mm area is provided with 44 pins arranged in a grid at a 1.5-mm pitch on one surface of the element. On the element, polyimide elastomer 32 (Nitto Electric Works; 1 mm thick) for creating connection to a mount board is bonded using adhesive to electrically connect the pins on the semiconductor element to the leads within the elastomer. The lead electrodes exposed at the top surface of the elastomer are then plated with solder so as to form solder balls 33 as connection pins corresponding to the mount board. A solder ball has a diameter of 0.8 mm.

[0021]

[Embodiment 5]

As shown in figure 4, the semiconductor element in 25.5 mm x 25.5 mm area is provided with 1301 pins arranged in a staggered grid at a 1-mm pitch on one surface of the element. On the element, the elastomer for creating connection to a mount board is pressed and bonded to electrically connect the pins on the semiconductor element to the leads within the elastomer. Here, the elastomer is prepared by the following procedure. Copper wires 42 having a diameter of 0.1 mm are arranged in a staggered grid at a 1-mm pitch on die 41, and silicon elastomer JCR6126 (Toray Dow Corning Silicone) is poured by the casting, cured at 150°C for one hour, and then removed from the die to form interlayer connecting elastomer. After the elastomer is bonded to the semiconductor element, the copper electrodes exposed at the top surface of the elastomer are plated with solder so as to form

solder balls as connection pins corresponding to the mount board. A solder ball has a diameter of 0.3 mm.

[0022]

[Embodiment 6]

As shown in figure 5, ball-grid array type semiconductor devices 51, which are obtained in embodiments 1 to 5, are mounted on board 52, which is a typical multilayer epoxy board FR-4 (standard by American National Standard Institute (ANSI)). Semiconductor devices 51 are evaluated for connection reliability through a temperature cycling test. The test condition is: 1,000 cycles between 150°C for 10 minutes and -55°C for 10 minutes.

[0023]

[Embodiment 7]

As shown in figure 5, ball-grid array type semiconductor devices 51, which are obtained in embodiments 1 to 5, are mounted on board 52, which is a multilayer ceramic-alumina board. Semiconductor devices 51 are evaluated for connection reliability through a temperature cycling test. The test condition is: 1,000 cycles between 150°C for 10 minutes and -55°C for 10 minutes.

[0024]

[Comparison 1]

As shown in figure 6, semiconductor element 61 in 14.5 mm x 14.5 mm area, which is provided with 225 pins arranged in a grid at a 1-mm pitch on one surface of the element as in embodiment 1, is directly plated with solder so as to form solder balls 62 as connection pins corresponding to the mount board. A solder ball has a diameter of 0.5 mm. The obtained semiconductor device is

mounted on the board as in embodiments 6 and 7, and is evaluated for connection reliability for comparison.

[0025]

[Comparison 2]

On the semiconductor element in 14.5 mm x 14.5 mm area, which is provided with 224 pins arranged on the periphery along four sides on one surface of the element at a 0.25-mm pitch, silicon elastomer is bonded using adhesive, and a flexible polyimide wiring board having solder balls is further bonded on the elastomer. The pins on the element and the electrodes on the polyimide wiring board are electrically connected by the wire bonding method to obtain a package structure. A solder ball has a diameter of 0.5 mm. The obtained semiconductor device is mounted on the board as in embodiments 6 and 7, and is evaluated for connection reliability for comparison.

[0026]

The results of the temperature cycling test (1,000 cycles between 150°C for 10 minutes and -55°C for 10 minutes) are listed in table 1, in which the number of failures per 100 devices is indicated.

[0027]

Table 1

	Embodiment 6	Embodiment 7
Embodiment 1	0/100	0/100
Embodiment 2	0/100	0/100
Embodiment 3	0/100	0/100
Embodiment 4	0/100	0/100
Embodiment 5	0/100	0/100
Comparison 1	80/100	50/100
Comparison 2	20/100	10/100

[0028]

[Advantages of the Invention]

This invention can provide the semiconductor package structure having high connection reliability by using an interlayer electrically-connecting elastomer, both surfaces of which are connected electrically using a prescribed pitch of grids. A typical sample structure can be achieved by the following procedure: an interlayer connecting elastomer is placed on a semiconductor element having bump-array pins on its surface; and ball-shaped pins are formed as the outmost layer on the elastomer, thus creating the ball-grid array type (BGA) semiconductor package device. As described above, this invention can provide an elastomer having a low elastic modulus between the semiconductor element and a mount board extremely easily. Such an elastomer having a low elastic modulus completely relaxes the thermal stress produced by the difference in the thermal expansion coefficient between the semiconductor element and the mount board. Therefore, a semiconductor device and a structure mounted with the device thereof can have such a high connection reliability that no failures occur through temperature cycling test.

[0029]

Moreover, since the structure is quite simple, using only the elastomer, there is no need to consider deterioration of the connection reliability at the interfaces between the different materials. This makes the structure effective as a mounting means in wide areas of semiconductors such as DRAMs. The simplicity of the structure can reduce cost, which is a significant advantage in fabrication.

[0030]

This invention, which only uses ball-grid arrays for connection, can accommodate higher speed and a larger number of pins more easily than the conventional structure, which combines ball-grid arrays and wire

bonding. This is possible because the grid-array structure enables drawing pins from the entire surface of an semiconductor element, thus making it easier to provide a larger number of pins than the conventional structure, in which pins are drawn from four sides of the element. Moreover, since using the ball-bump structure for connection enables the leads to be made shorter and wider than the leads for the wire bonding, inductance can be reduced, which is extremely advantageous in achieving higher speeds. Since many electronic devices in various electronics industrial areas, such as personal computers and workstations, are being developed to have higher performance, there is likely to be a stronger demand for semiconductor devices having higher speed and a larger number of pins. This invention can provide a new package structure for a semiconductor element that can accommodate a higher mounting density, a larger number of pins, and higher speed, in response to the above demands.

4. BRIEF DESCRIPTION OF THE DRAWINGS

[Figure 1]

A fabrication process flow of embodiments 1, 3, and 5 using this invention.

[Figure 2]

A fabrication process flow of embodiment 2 using this invention.

[Figure 3]

A fabrication process flow of embodiment 4 using this invention.

[Figure 4]

A die for preparing the silicone elastomer in embodiment 5 using this invention.

[Figure 5]

A cross-sectional view of the mounted structure in embodiments 6 and 7 using this invention.

[Figure 6]

A fabrication process flow of comparison 1 using this invention.

[Figure 7]

A fabrication process flow of comparison 2 using this invention.

[Numbers in figures]

11: semiconductor element, 12: elastomer, 13: solder ball.

Inventors: Haruo Akahoshi

7-1-1 Ohmika-cho, Hitachi-shi, Ibaraki
Hitachi Research Laboratory,
Hitachi, Ltd.

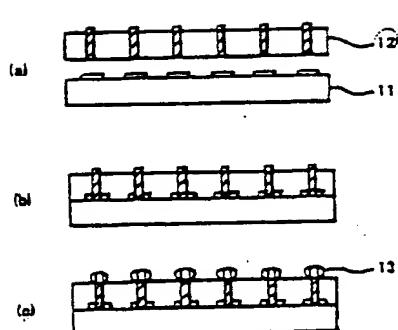


Figure 1

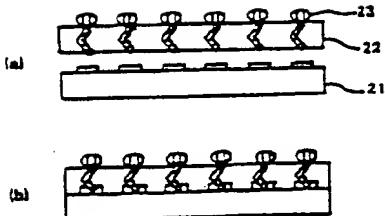


Figure 2

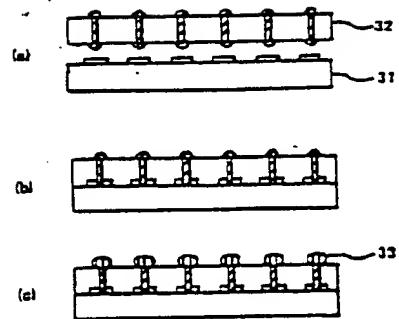


Figure 3

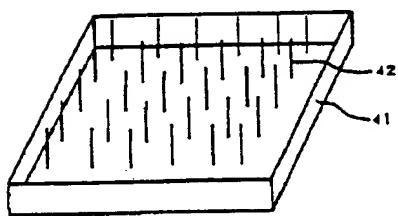


Figure 4

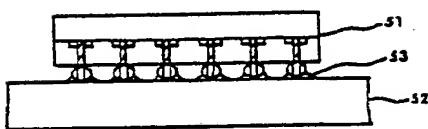


Figure 5

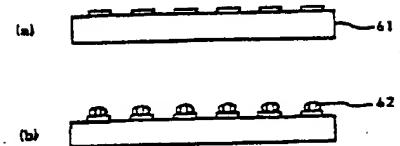


Figure 6

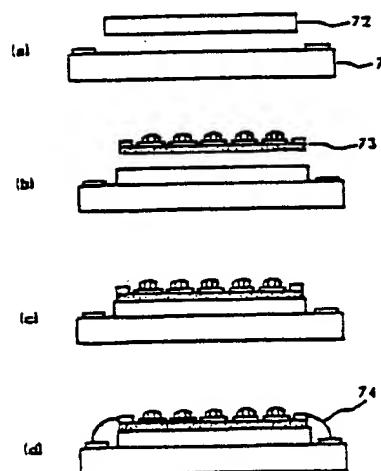


Figure 7

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-111473

(43) 公開日 平成8年(1996)4月30日

(51) Int.Cl.
H 01 L 23/12
C 08 G 77/04
H 01 L 23/14

識別記号

府内整理番号

F I

技術表示箇所

H 01 L 23/ 12 L
23/ 14 Z
審査請求 未請求 請求項の数12 O L (全 6 頁)

(21) 出願番号 特願平6-243646

(22) 出願日 平成6年(1994)10月7日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 永井 晃

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 江口 州志

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 狩野 雅彦

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

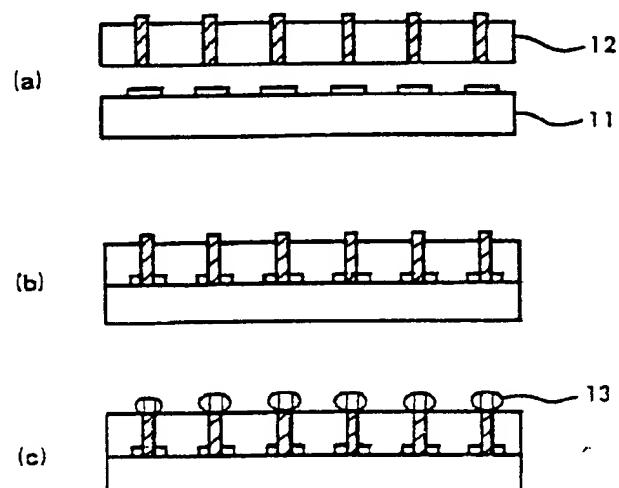
(54) 【発明の名称】 ボールグリッドアレイ型パッケージ及びそれを用いた実装構造

(57) 【要約】

【目的】高速、多ピン化を目的に本発明はボールグリッドアレイ構造を有する半導体パッケージ構造において、熱応力を低減するための低弾性率エラストマを比較的簡単に導入する方法を提供する。

【構成】実装基板と電気的に接続するための端子がアレイ状にボールグリッド型を有する半導体パッケージ構造において、半導体素子11とボールグリッドアレイ端子との接続間に層間接続能を有するエラストマ12を用いて、半導体素子11と実装基板との熱膨張率差により発生する熱応力を緩和する。

図 1



【特許請求の範囲】

【請求項1】 実装基板に対する接続端子がボールグリッドアレイ型の半導体パッケージ構造において、半導体素子とボールグリッドアレイ端子との接続間に層間接続能を有するエラストマを用いて、前記半導体素子と前記実装基板との熱膨張率差により発生する熱応力を緩和することを特徴とするボールグリッドアレイ型パッケージ。

【請求項2】 請求項1において、前記層間接続能を有するエラストマの弾性率が室温で 1 kgf/mm^2 以下であるボールグリッドアレイ型パッケージ。

【請求項3】 請求項1において、前記層間接続能を有するエラストマがシロキサンポリマであることを特徴とするボールグリッドアレイ型パッケージ。

【請求項4】 請求項1において、層間接続能を有するエラストマが有機系ポリマであるボールグリッドアレイ型パッケージ。

【請求項5】 実装基板に対する接続端子がボールグリッドアレイ型の半導体パッケージ構造の実装構造において、半導体素子とボールグリッドアレイ端子との接続間に層間接続能を有するエラストマを用いて、半導体素子と実装基板との熱膨張率差により発生する熱応力を緩和することを特徴とするボールグリッドアレイ型パッケージ構造を実装基板に搭載したことを特徴とする実装構造。

【請求項6】 請求項5において、前記実装基板の絶縁層が有機系樹脂のマトリックスとガラスクロスから構成されている実装構造。

【請求項7】 請求項5において、前記実装基板の絶縁層がセラミックス系材料から構成されている実装構造。

【請求項8】 請求項1において、前記半導体素子がDRAMであるボールグリッドアレイ型パッケージ。

【請求項9】 請求項1において、前記半導体素子がASICであるボールグリッドアレイ型パッケージ。

【請求項10】 請求項1において、前記半導体素子がMPUであるボールグリッドアレイ型パッケージ。

【請求項11】 請求項1において、前記半導体素子がゲートアレイであるボールグリッドアレイ型パッケージ。

【請求項12】 請求項1において、前記半導体素子がSRAMであるボールグリッドアレイ型パッケージ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は電気特性、実装信頼性に優れた高密度、多ピン化、高速伝送対応の半導体装置およびその実装構造に関する。

【0002】

【従来の技術】 近年、電気、電子部品の高性能化に伴い半導体装置の高集積化および高密度化が強く望まれている。そのため半導体素子はLSI、VLSI、ULSIへと高集積、高機能化され、素子の大型化、多ピン化、高速化、高消費電力化が進んできた。これに対応して多

10

ピン用の半導体装置のパッケージ構造は素子の二辺に接続端子を有する構造から四辺すべてに端子を有する構造に変化してきた。さらに多ピン化対応として多層キャリア基板を用いて実装面全体に接続端子グリッドを有するグリッドアレイ構造が実用化されている。このグリッドアレイ構造の中には高速信号伝送を可能にするため接続端子長を短縮したボールグリッドアレイ構造(BGA)が適用されている。接続端子としてのボール型構造は導体幅も太くなるため低インダクタンス化にも効果的である。さらに最近ではより高速対応として多層キャリア基板に比較的誘電率の低い有機材料が検討されている。しかし、有機材料は一般に半導体素子に比べて熱膨張率が大きいため、その熱膨張率差により発生する熱応力のため接続信頼性等に問題がある。最近このようなBGAパッケージ構造において、半導体素子と実装基板との熱膨張率差により発生する熱応力を低弾性率のエラストマ材料で緩和することにより接続信頼性を向上させる新しい半導体素子パッケージ構造が提案されている(USP5148265)。しかし、この従来技術は半導体素子にエラストマを設置し、さらにその上に配線層を有するボリイミド層があり、その上に接続端子であるボールグリッドがアレイ状に存在する構成である。そのため比較的製造工程が煩雑であることと異種材料の界面が多いため長期信頼性等が懸念される。

【0003】

【発明が解決しようとする課題】 本発明はボールグリッドアレイ構造を有する半導体パッケージ構造において、熱応力を低減するための低弾性率エラストマを比較的簡単に導入する方法を提供することを目的とする。本発明により得られる半導体装置およびその実装構造は優れた接続信頼性を有する。

【0004】

【課題を解決するための手段】 上記目的を達成するため、本発明は以下の手段を提供する。すなわち、その第1手段はボールグリッドアレイ型パッケージ構造に関するもので次の特徴を有する。実装基板と電気的に接続するための端子がアレイ状にボールグリッド型を有する半導体パッケージ構造において、半導体素子とボールグリッドアレイ端子との接続間に層間接続能を有するエラストマを用いて、半導体素子と実装基板との熱膨張率差により発生する熱応力を緩和することに達成される。この時層間接続能を有するエラストマの特性は室温の弾性率が 1 kgf/mm^2 以下であることが効果的である。エラストマの弾性率が低いほど、発生する熱応力は低減できる。その結果、優れた接続信頼性を有するパッケージ構造を提供することが可能になる。エラストマを構成する材料としてシロキサンポリマを用いることにより耐熱性に優れた低弾性率材料を利用することができる。この時、特にシロキサンポリマとしてガラス転移温度が -5°C 以下の材料を用いることにより温度サイクル試験で

40

50

優れた信頼性を確保することが可能である。シロキサン以外の材料は数多くの有機系ポリマを適用することが可能である。このような有機系ポリマで特に耐熱性に優れた材料はポリイミド系材料、含フッ素系材料、フルオロシリコーンポリマ等が挙げられるがこれに限定されるものではない。

【0005】本発明の第2の手段は実装基板に対する接続端子がボールグリッドアレイ型の半導体パッケージ装置の実装する構造において、半導体素子とボールグリッドアレイ端子との接続間に層間接続能を有するエラストマを用いて、半導体素子と実装基板との熱膨張率差により発生する熱応力を緩和することにより、優れた接続信頼性を有するボールグリッドアレイ型パッケージ装置を実装基板に搭載したことを特徴とする実装構造から構成されることにより達成される。本発明により得られるボールグリッドアレイ型の半導体パッケージ装置は、半導体素子と実装基板の間に設けられた低弾性率のエラストマにより実装時の接続信頼性が優れた実装構造を提供することが可能になる。この時実装基板は特に限定されないが、例えば、次に示す材料が一般的に用いられる。即ち、絶縁層が有機系樹脂のマトリックスとガラスクロスから構成されていることを特徴とする実装基板あるいは絶縁層がセラミックス系材料から構成されている実装基板等が用いられる。本発明の半導体パッケージ構造において、適用される半導体素子は、例えば、DRAM、ASIC、ゲートアレイ、MPU、SRAM、及びそれらの複合機能等に適用される。これらの半導体素子は高密度化、高性能化に伴い、最近特に多ピン化、高速化が要求されている。

【0006】従来技術は半導体素子にエラストマを設置し、さらにその上に配線層を有するポリイミド層を設置し、その上に実装基板との接続端子であるボールグリッドがアレイ状に存在する構成である。この時半導体素子とポリイミド上の配線層との接続はワイヤボンディング法等を用いている。そのため比較的製造工程が煩雑であることと数多くの異種材料から構成されている。そのためそれらの界面で接着性が長期信頼性等の低下に結び付く可能性が高い。

【0007】本発明ではエラストマの両面が所定の格子ピッチで電気的に接続された層間電気的接続能のある材料を用いることにより上記従来技術の問題点を解決できる。具体的な構成の一例は、面上にバンプアレイ端子を有する半導体素子の上に層間接続能を有するエラストマを設置する。さらにその最外層にボール状端子を形成することによりボールグリッドアレイ構造(BGA)型半導体パッケージ装置を構成することができる。以上、本発明では極めて簡単に半導体素子と実装基板との間に低弾性率エラストマを提供することが可能である。また構成材料がエラストマだけと非常に簡単であるため異種材料の界面における接着力の信頼性等を考慮する必要がな

く、DRAMを初め多くの半導体分野の実装方法として有用である。構成が簡単であるということはコスト低減を図ることができ、製造上大きな利点となる。

【0008】本発明では接続方法にボールグリッドアレイ構造のみを採用することができ、従来構造のようにワイヤボンディング法を併用した場合に比べて高速、多ピン化対応を容易に達成することができる。これはグリッドアレイ構造は半導体素子の面全体から端子を取りだすことができるため、従来の四辺から端子を取る場合に比べて多ピン化が容易である。またボールバンプ構造で接続するためワイヤボンディングに比べて配線が短く、且つ太くなるため低インダクタンスとなり、高速化に有利である。

【0009】本発明において、半導体素子とはSi、GaAs等の半導体からなるウエハ上にメモリ、ロジック、ゲートアレイ、カスタム、パワートランジスタ等のIC、LSI等を形成し、リード、バンプ等に接続する端子を有する素子である。

【0010】本発明において代表的な実装基板は有機材料とガラスクロス等の補強材から構成される積層板やセラミックス系材料から構成される基板が挙げられる。このうち、有機材料とガラスクロス等の補強材から構成される積層板は補強材に樹脂成分を含浸して得られるプリプレグ、シート等を少なくとも1枚以上積層して加圧接着成形して得られる構造体である。補強材はガラス(Eガラス、Sガラス、Dガラス、Qガラス等)チタン等の無機系繊維からなるクロス、シート、ポリアミド、ポリアミドイミド、ポリイミド、液晶性ポリマ、芳香族アミド等からなるクロス、シート、カーボン繊維からなるクロスおよびこれらの無機系繊維、有機系繊維、カーボン繊維の複合体からなるクロス、シートがある。

【0011】実装基板の有機材料を構成するマトリックス樹脂は、例えば、エポキシ樹脂、不飽和ポリエステル樹脂、エポキシイソシアネート樹脂、マレイミド樹脂、マレイミドエポキシ樹脂、シアン酸エステル樹脂、シアン酸エステルエポキシ樹脂、シアン酸エステルマレイミド樹脂、フェノール樹脂、ジアリルフタレート樹脂、ウレタン樹脂、シアナミド樹脂、マレイミドシアナミド樹脂、ポリイミド樹脂等の各種熱硬化性樹脂が挙げられる。

【0012】本発明におけるセラミックス系材料はアルミナ基板、ムライト基板、シリカ基板、コージェライト基板、低融点ガラス基板、窒化アルミ基板、アルミ基板、シリコン基板等が挙げられる。この他上記二種の複合基板として有機-セラミックス系基板がある。例えば多孔質セラミックス-有機樹脂含浸複合基板、セラミックス溶射銅箔-有機樹脂ガラスクロス複合基板等が挙げられる。

【0013】

【作用】本発明はボールグリッドアレイ型パッケージ構

造に関し、次の特徴を有する。すなわち、実装基板と電気的に接続するための端子がアレイ状にボールグリッド型を有する半導体パッケージ構造において、半導体素子とボールグリッドアレイ端子との接続間に層間接続能を有するエラストマを用いて、半導体素子と実装基板との熱膨張率差により発生する熱応力を緩和することにより高速、多ピン化対応の接続信頼性に優れた半導体装置を提供する。この層間接続能を有するエラストマを用いることにより容易に半導体素子に多量のボールグリッドアレイ構造の接続端子を設置することができる。その他の構成材料を組み合わせることがないので、異種材料界面の接着性等の問題も生じない。また工程が非常に簡単になり、かつ構成材料も少ないため従来技術に比べて大幅な原価低減が期待できる。

【0014】半導体素子と実装基板間に存在する低弾性率のエラストマにより、半導体素子と実装基板間の熱膨張率差によって生じる熱応力を緩和することができ、実装基板の材料に限定を受けて接続信頼性に優れた半導体パッケージ装置を提供することができる。

【0015】さらに得られる半導体装置は実装基板との接続端子が面内上に設置されたボールグリッドアレイ構造であるため、パッケージ面積を大きくせずに多ピン化が可能である。またボールグリッド端子は太く、短い端子であるためインダクタンスを小さくすることができ高速処理に関しては非常に有効である。また本特許のパッケージ構造は図からも分かるように信号伝送距離を最短にすることができ、この点からも高速化に対応したパッケージ構造である。

【0016】

【実施例】次に実施例に基づき、本発明及び図を詳細に説明する。

【0017】【実施例1】図1において、チップサイズ $14.5 \times 14.5 \text{ mm}$ の片面に 1 mm ピッチの格子で端子(225ピン)が存在する半導体素子11上に基板間接続用圧接型のエラストマ(信越ボリマ、厚さ 0.3 mm)12を接着剤で接着し、半導体素子上の端子とエラストマ内の導線とを電気的に接続した。エラストマ上部に現われた導線電極にはんだめっきにより、はんだボール13を実装基板に対する接続端子として形成した。はんだボールの大きさは直径 0.5 mm である。

【0018】【実施例2】図2に示すように、チップサイズ $13 \times 13 \text{ mm}$ の片面に 1.27 mm ピッチの千鳥格子で端子(221ピン)が存在する半導体素子21上にあらかじめはんだボール23をめっきにより形成した基板間接続用圧接型エラストマ(信越ボリマ、厚さ 0.5 mm)22を接着剤で接着し、半導体素子上の端子とエラストマ内の導線とを電気的に接続した。半導体素子との接着面ははんだボール形成面の反対面を用いた。はんだボールの大きさは直径 0.3 mm である。

【0019】【実施例3】図1に示すように、チップサ

イズ $13.5 \times 13.5 \text{ mm}$ の片面に 0.5 mm ピッチの格子で端子(729ピン)が存在する半導体素子11上に基板間接続用圧接型エラストマ(信越ボリマ、厚さ 0.7 mm)12を接着剤で接着し、半導体素子上の端子とエラストマ内の導線とを電気的に接続した。エラストマ上部に現われた導線電極にはんだペーストにより、はんだボール13を実装基板に対する接続端子として形成した。はんだボールの大きさは直径 0.3 mm である。

【0020】【実施例4】図3に示すように、チップサイズ $15.5 \times 15.5 \text{ mm}$ の片面に 1.5 mm ピッチの格子で端子(44ピン)が存在する半導体素子31上に基板間接続用ポリイミドエラストマ(日東電工、厚さ 1 mm)32を接着剤で接着し、半導体素子上の端子とエラストマ内の導線とを電気的に接続した。エラストマ上部に現われた導線電極にはんだめっきにより、はんだボール33を実装基板に対する接続端子として形成した。はんだボールの大きさは直径 0.8 mm である。

【0021】【実施例5】図4に示すように、チップサイズ $25.5 \times 25.5 \text{ mm}$ の片面に 1 mm ピッチの千鳥格子で端子(1301ピン)が存在する半導体素子上に基板間接続用エラストマ加圧により接着し、半導体素子上の端子とエラストマ内の導線とを電気的に接続した。エラストマは以下の工程で作成した。型内41に直径 0.1 mm の銅線42を 1 mm の千鳥格子ピッチで配置し、シリコン系エラストマであるJCR6126(東レダウコーニング)を注型で流し込み 150°C 、1時間硬化反応を進めた後、型から取り出して層間接続能を有するエラストマを形成した。次にエラストマ上部に現われた銅線電極にはんだめっきを施し、はんだボールを実装基板に対する接続端子として形成した。はんだボールの大きさは直径 0.3 mm である。

【0022】【実施例6】図5に示すように、実装基板として一般的なエポキシ系多層基板FR-4(American National Standard Institute規格)52を用いて、実施例1-5で得られたボールグリッドアレイ型端子を有する半導体装置51を実装して温度サイクル試験により接続信頼性を評価した。試験条件は $150^\circ\text{C}/10\text{分} \rightarrow -55^\circ\text{C}/10\text{分}$ 、1000回とした。

【0023】【実施例7】図5に示すように、実装基板としてセラミックス系アルミナ多層基板52を用いて、実施例1-5で得られたボールグリッドアレイ型端子を有する半導体装置51を実装して温度サイクル試験により接続信頼性を評価した。試験条件は $150^\circ\text{C}/10\text{分} \rightarrow -55^\circ\text{C}/10\text{分}$ 、1000回とした。

【0024】【比較例1】図6に示すように、実施例1で用いたチップサイズ $14.5 \times 14.5 \text{ mm}$ の片面に 1 mm ピッチの格子で端子(225ピン)が存在する半導体素子61上に直接はんだめっきにより、はんだボール62を実装基板に対する接続端子として形成した。はんだボールの大きさは直径 0.5 mm である。得られた半導体装

置を実施例 6, 7 と同様に実装基板に実装して接続信頼性を比較した。

【0025】 [比較例2] チップサイズ 14.5×14.5 mm の片面の四辺に 0.25 mm ピッチで端子(224ピン)が存在する半導体素子上にシリコンエラストマを接着剤を用いて接着し、さらにその上にはんだボール付きポリイミドフレキシブル配線板を接着した。チップ上の端子とポリイミド配線板上の電極をワイヤボンディング法により電気的に接続して、パッケージ構造を得た。は*

表 1

* はんだボールの大きさは直径 0.5 mm である。得られた半導体装置を実施例 6, 7 と同様に実装基板に実装して接続信頼性を比較した。

【0026】 温度サイクル試験結果($150^{\circ}\text{C}/10$ 分 $\rightarrow -55^{\circ}\text{C}/10$ 分, 1000回)欠陥の数(100個中)

【0027】

【表1】

	実施例 6	実施例 7
実施例 1	0 / 100	0 / 100
実施例 2	0 / 100	0 / 100
実施例 3	0 / 100	0 / 100
実施例 4	0 / 100	0 / 100
実施例 5	0 / 100	0 / 100
比較例 1	80 / 100	50 / 100
比較例 2	20 / 100	10 / 100

【0028】

【発明の効果】本発明はエラストマの両面が所定の格子ピッチで電気的に接続された層間電気的接続能のある材料を用いることにより接続信頼性に優れた半導体パッケージ装置を得ることができる。具体的な構成の一例は、面上にパンプアレイ端子を有する半導体素子の上に層間接続能を有するエラストマを設置する。さらにその最外層にボール状端子を形成することによりボールグリッドアレイ構造(BGA)型半導体パッケージ装置を構成することができる。以上、本発明では極めて簡単に半導体素子と実装基板との間に低弾性率エラストマを提供することが可能である。この低弾性率エラストマが半導体素子と実装基板との熱膨張率差によって生じる熱応力を完全に緩和する効果を有する。そのため温度サイクル試験において全く欠陥の生じない優れた接続信頼性を有する半導体装置及びその実装構造を提供することができる。

【0029】また構成材料がエラストマとボール型接続端子だけと非常に簡単であるため異種材料の界面における接着力の信頼性等を考慮する必要がなく、DRAMを初め多くの半導体分野の実装方法として極めて有用である。構成が簡単であるということはコスト低減を図ることができ、製造上大きな利点となる。

【0030】本発明では接続方法にボールグリッドアレイ構造のみを採用することができ、従来構造のようにワイヤボンディング法を併用した場合に比べて高速、多ピン化対応を容易に達成することができる。これはグリッ

30

ドアレイ構造は半導体素子の面全体から端子を取りだすことができるため、従来の四辺から端子を取る場合に比べて多ピン化が容易である。またボールバンプ構造で接続するためワイヤボンディングに比べて配線が短く、且つ太くなるため低インダクタンスとなり、高速化に対しても極めて有利である。今後パーソナルコンピュータ、ワークステーション分野を初め、多くの電子産業分野では電子機器の高性能化に伴い、高速、多ピンの半導体パッケージ装置が必要になる可能性が極めて高い。本発明によりこのような要求に満足した高密度多ピン化、高速化に対応した新しい半導体素子のパッケージ構造を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施例1, 3, 5の半導体装置の製造工程図。

【図2】本発明の実施例2の半導体装置の製造工程図。

【図3】本発明の実施例4の半導体装置の製造工程図。

【図4】本発明の実施例5のシリコーン系エラストマ作製のための型の説明図。

【図5】本発明の実施例6, 7の実装構造の断面図。

【図6】本発明の比較例1の製造工程図。

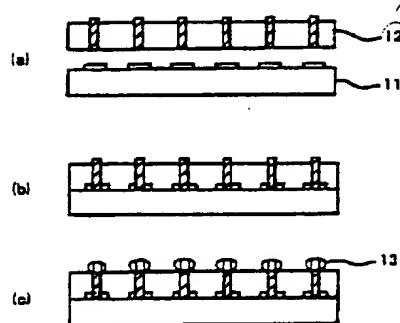
【図7】本発明の比較例2の製造工程図。

【符号の説明】

1 1 …半導体素子、1 2 …エラストマ、1 3 …はんだボール。

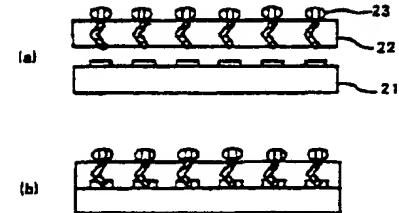
【図1】 6411

図1



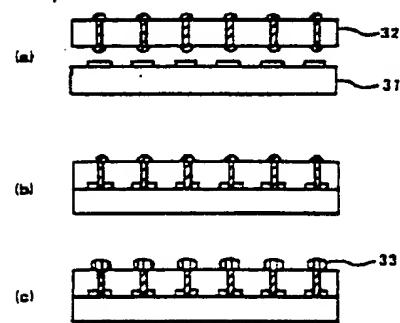
【図2】 6412

図2



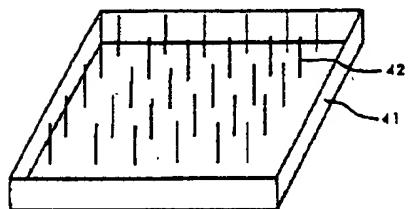
【図3】 6413

図3



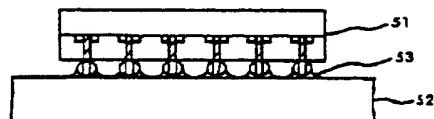
【図4】

図4



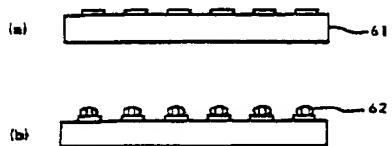
【図5】

図5



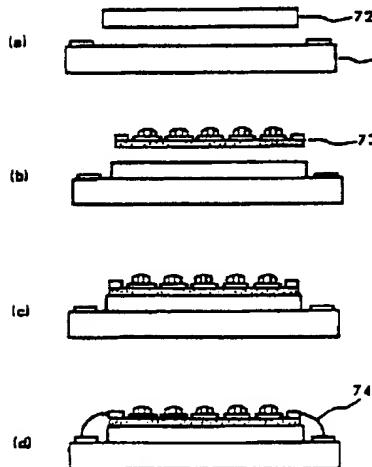
【図6】

図6



【図7】

図7



フロントページの続き

(72)発明者 赤星 晴夫
 茨城県日立市大みか町七丁目1番1号 株
 式会社日立製作所日立研究所内